

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Masaru NUMANO

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: OPTICAL SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-023124	January 31, 2003

Certified copies of the corresponding Convention Application(s)

are submitted herewith

will be submitted prior to payment of the Final Fee

were filed in prior application Serial No. filed

were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

(A) Application Serial No.(s) were filed in prior application Serial No. filed ; and

(B) Application Serial No.(s)
 are submitted herewith
 will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2003年 1月31日

出願番号

Application Number: 特願2003-023124

[ST.10/C]:

[JP2003-023124]

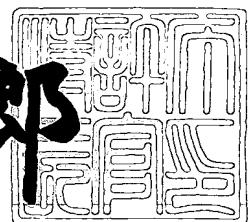
出願人

Applicant(s): 株式会社東芝

2003年 3月24日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019040

【書類名】 特許願

【整理番号】 PTS0241

【提出日】 平成15年 1月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/866
H01L 31/00

【発明の名称】 光半導体装置

【請求項の数】 11

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内

【氏名】 沼野 優

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100088487

【弁理士】

【氏名又は名称】 松山 允之

【選任した代理人】

【識別番号】 100108062

【弁理士】

【氏名又は名称】 日向寺 雅彦

【手数料の表示】

【予納台帳番号】 087469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光半導体装置

【特許請求の範囲】

【請求項1】

光半導体素子と、
複数のツェナーダイオードを直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子と、を有し、前記光半導体素子に接続された光半導体用回路と、
を備えたことを特徴とする光半導体装置。

【請求項2】

前記光発明用回路は、記整流素子のカソードよりも前記直列整流回路のカソード端に高い電圧を印加する電圧印加手段をさらに有することを特徴とする請求項1記載の光半導体装置。

【請求項3】

前記ツェナーダイオードは、光の照射により電流を生ずる寄生素子を有することを特徴とする請求項1または2に記載の光半導体装置。

【請求項4】

前記整流素子の耐圧は、前記整流素子のカソードに印加される電圧よりも高いことを特徴とする請求項1～3のいずれか1つに記載の光半導体装置。

【請求項5】

前記整流素子は、エミッタとベースとが短絡されたNPNトランジスタであることを特徴とする請求項1～4のいずれか1つに記載の光半導体装置。

【請求項6】

前記整流素子は、コレクタとベースとが短絡されたPNPトランジスタであることを特徴とする請求項1～4のいずれか1つに記載の光半導体装置。

【請求項7】

前記整流素子は、コレクタとベースとが短絡されたNPNトランジスタであることを特徴とする請求項1～4のいずれか1つに記載の光半導体装置。

【請求項8】

一定値を超える電圧が印加されると前記ツェナーダイオードがブレークダウンすることにより前記光半導体素子を保護することを特徴とする請求項1～7のいずれか1つに記載の光半導体装置。

【請求項9】

一定値を超える電圧が印加されると前記ツェナーダイオードがブレークダウンすることにより前記光半導体素子に印加する電圧を調節することを特徴とする請求項1～7のいずれか1つに記載の光半導体装置。

【請求項10】

前記光半導体素子と前記光半導体用回路とは同一の半導体基板上に設けられてなることを特徴とする請求項1～9のいずれか1つに記載の光半導体装置。

【請求項11】

前記光半導体素子と前記光半導体用回路とは、同一のパッケージ内に収容されてなることを特徴とする請求項1～10のいずれか1つに記載の光半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光半導体装置に関し、より具体的には、光があたる環境下で用いられる光半導体用回路を搭載した光半導体装置に関する。

【0002】

【従来の技術】

光センサ、フォトカプラー（photocoupler）、フォトインタラプタ（photo-interrupter）あるいは光リンク用デバイスなどの各種の光半導体装置においては、受光素子や発光素子などの光半導体素子が内蔵されている。そして、これら光半導体素子に接続された光半導体用回路も内蔵されている場合が多い。これら光半導体用回路は、光半導体素子をドライブするための電圧や電流を供給したり、または、これら光半導体素子から発光され、または光半導体素子で受光された信号の処理を行う役割を有する。

【0003】

このような光半導体用回路においては、複数の整流素子を直列接続した回路が

設けられる場合がある。

【0004】

図16は、このような回路を例示する模式図である。すなわち、同図は、n個のツエナーダイオード1を直列接続した回路を表す。ツエナーダイオード1はP-Nジャンクションのブレークダウン現象を利用した能動素子である。ツエナーダイオードのブレークダウン電圧V_Zは、シリコン(Si)では通常は5ボルト前後である。そこで、図16に表したようなツエナーダイオード1の直列接続回路は、受光素子や発光素子などの光半導体素子をESD(Electro-Static Discharge)による破壊から保護するための保護回路に用いることができる。また、これら光半導体素子をドライブするための電源におけるシリーズレギュレータの基準電源や、MOSトランジスタのゲート保護等のクランプのために用いることができる。

【0005】

ツエナーダイオード1のV_Zは1個で5ボルトなので、30ボルトや40ボルトなどの高電圧を簡単に得ることもでき、クランプすることもできる。従って、ICのチップサイズに制限がある場合などにも便利である。例えば、30ボルトをクランプする場合は、6個のツエナーダイオード1を直列に接続すれば良い。

【0006】

図16に例示した回路の場合、n個のツエナーダイオード1を直列に接続し、その両端の端子PKと端子PAとの間に電源E1を接続する。この電源は仮想的なもので、n個のツエナーダイオード1の直列回路の端子の電位を決めるためのものであり、外部電源というわけでは必ずしもない。

【0007】

後に詳述するように、ツエナーダイオード1は、例えばp型シリコン基板の上に作られ、p型シリコン基板は端子PSを介して接地されている。そして、端子PAと端子PSとの間に電源E2が接続される。従って、端子PKの電位がこの回路において最高となる。

【0008】

この回路においては、電源E1とE2との関係は常に次式により表される。

$E_1 \geq E_2$

電源 E_1 が変動しても、電源 E_1 と E_2 とが $(n \times V_z)$ 以上の電位差を持たないとツェナーダイオート 1 に電流は流れない。電源 E_1 と E_2 との間に、それ以上の電位差が生ずるとツェナーダイオード 1 に電流が流れ、端子 P_K と端子 P_A との間の電圧は $(n \times V_z)$ ボルトにクランプされる。

【0009】

図17は、このような n 個のツェナーダイオード 1 を使用した直列クランプ回路の具体例を表す模式図である。

【0010】

ここでは、IC出力端子 V_o と定電圧端子 V_{dd} 端子との間に ESD (Electro-Static Discharge) クランプ回路 6 が挿入されている。このクランプ回路は、 V_{dd} 以上の電位で動作する。このために、 n 個のツェナーダイオード 1 を直列接続し、 V_{dd} 端子と V_o 端子との間の電位差が $(n \times V_z)$ 以上になるとクランプ回路が動作するようにしている。この回路の場合、 V_{dd} 端子が図16における端子 P_K に対応し、NPNトランジスタ 20 のベースが図16の端子 P_A に対応する。

【0011】

なお、特許文献1には、誘導負荷の回生制御系に設けられたツェナーダイオードを用いたサージ吸収回路が開示されている。このサージ吸収回路においては、サージ吸収素子としてのツェナーダイオードに対して逆流防止用のダイオードが直列に接続されている。しかし、この逆流防止用ダイオードは、FETがオンの状態において電源からFETに電流が流れることを阻止するためのものであると考えられる。

【0012】

また、特許文献2には、やはり回生電圧制御に関する回路が開示され、モータを負荷とするスイッチング素子のドレイン・ゲート間にツェナーダイオードと逆方向ダイオードとの帰還回路が挿入されている。この逆方向ダイオードは、スイ

ツチング素子の通常動作時に帰還回路がオンするのを防ぐ役割を有する。

【0013】

【特許文献1】

特開平10-136564号公報

【特許文献2】

米国特許第4658203号明細書

【0014】

【発明が解決しようとする課題】

しかし、本発明者の独自の検討の結果、図16や図17に例示したような回路を光半導体用回路に設けると、回路の誤動作や消費電力の増大が生ずる場合があることが判明した。このような現象は、光半導体用回路に特有の問題であり、さらに詳細な検討の結果、光が照射されることに関連して生ずる現象であることが判明した。

【0015】

本発明は、かかる課題の認識に基づいてなされたものであり、その目的は、光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路を搭載した光半導体装置を提供することにある。

【0016】

【課題を解決するための手段】

上記目的を達成するために、本発明の第1の光半導体装置は、

光半導体素子と、

複数のツェナーダイオードを直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子と、を有し、前記光半導体素子に接続された光半導体用回路と、

を備えたことを特徴とする。

【0017】

上記構成によれば、光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路を搭載した光半導体装置を提供することができる。

【0018】

ここで、前記光発明用回路は、記整流素子のカソードよりも前記直列整流回路のカソード端に高い電圧を印加する電圧印加手段をさらに有するものとすることができる。

【0019】

また、前記ツェナーダイオードは、光の照射により電流を生ずる寄生素子を有するものである場合に、このようなリーク電流を前記整流素子により遮断できる点で格別の効果が得られる。

【0020】

また、前記整流素子の耐圧は、前記整流素子のカソードに印加される電圧よりも高いものとすることが望ましい。

【0021】

また、前記整流素子は、エミッタとベースとが短絡されたNPNトランジスタであるものとすることことができ、ツェナーダイオードと共にプロセスで形成できる点で便利である。

【0022】

または、前記整流素子は、コレクタとベースとが短絡されたPNPトランジスタであるものとすることもでき、この場合も、ツェナーダイオードと共にプロセスで形成できる点で便利である。

【0023】

または、前記整流素子は、コレクタとベースとが短絡されたNPNトランジスタであるものとすることもでき、この場合も、ツェナーダイオードと共にプロセスで形成できる点で便利である。

【0024】

一方、一定値を超える電圧が印加されると前記ツェナーダイオードがブレークダウンすることにより前記光半導体素子を保護するものとすれば、いわゆるESDやその他の過電圧に対する保護回路として作用し、しかもリーク電流などを解消した光半導体装置を実現できる。

【0025】

また、一定値を超える電圧が印加されると前記ツェナーダイオードがブレーク

ダウンすることにより前記光半導体素子に印加する電圧を調節するものとすれば、いわゆる電圧クランプ回路として動作させることができ、リーク電流などを解消した高性能の光半導体装置を実現できる。

【0026】

また、前記光半導体素子と前記光半導体用回路とは同一の半導体基板上に設けられてなるものとすれば、いわゆる受光ICや発光ICなどをリーク電流などを解消しつつ実現できる。

【0027】

また、前記光半導体素子と前記光半導体用回路とは、同一のパッケージ内に収容されてなるものとすれば、高性能でリーク電流なども解消した光半導体装置を実現できる。

【0028】

【発明の実施の形態】

本発明者は、独自の検討の結果、上述の問題は、ツェナーダイオード1に付随する寄生ダイオードに光が照射されることによることを知得した。以下、まずこのメカニズムについて説明する。

【0029】

図18 (a) は、ツェナーダイオード1の断面構造を表す模式図であり、同図 (b) は、その等価回路図である。すなわち、p型シリコン基板22の上に、p型分離層9により分離されたn型アイランド7が形成されている。このn型アイランド7の表面にp型拡散層8をプレーナ状に形成することにより、ツェナーダイオード1が形成されている。n型アイランド7がカソードKで、p型拡散層8がアノードAとなる。

【0030】

このような構造の場合、p型拡散層8とn型アイランド7とp型分離層9により、縦方向に寄生PNP接合10が形成される。また、n型アイランド7とp型分離層9とにより寄生フォトダイオード(以下PD)11が形成される。p型基板22は、接地電位(GND)に接続されて用いられるので、縦型寄生PNPトランジスタ10のコレクタと、寄生PD11のアノードが接地される。ここに

仮想的な端子 P S 7 が接続される。

【0031】

図19は、図16に表した回路に寄生素子を追加した模式図である。

【0032】

ここで、光半導体用回路は、受光素子や発光素子の近傍に設けられることが多く、比較的、高い強度の光に晒されやすいという特殊事情がある。そして、寄生 PNP トランジスタ 10 と寄生ダイオード 11 の存在により、ツェナーダイオード 1 がブレークダウン動作しないときに、光 L 1 によりシリコン基板 22 に流れリーケ電流が発生する。そのメカニズムは以下のとおりである。

【0033】

まず、リーケ電流が発生する条件であるが、端子 P A と端子 P K が同電位、またはそれらの電位差が稀少の時である。つまり、電源 E 1 と E 2 がほとんど差がない場合に顕著となる。

【0034】

ここで、寄生 PNP トランジスタ 10 同士はダーリントン接続をしている。光 L 1 が入射した時、それぞれの寄生 V P N P 10 のベースから寄生 P D 11 を介して電流 I_p が引き抜かれる。寄生 PNP トランジスタ 10 はダーリントン接続されているので、電流 I_p はそれぞれ h_{FE} 倍に増幅される。従って、電流 I_p はそれぞれの寄生 PNP トランジスタによって累積的に増幅される。この合計の電流 I_A は、電源 E 2 から端子 P A を介して p 型基板 22 へ流れ、端子 P S に至る。

【0035】

また、図19において一番右側の寄生 PNP トランジスタは、 $E_1 > E_2$ であるために逆バイアス状態でありオフ (OFF) 状態となる。従って、電源 E 1 の影響は、これら寄生 PNP トランジスタのダーリントン接続回路から遮断される。

【0036】

結局、 $(n - 1)$ 個の寄生 PNP トランジスタ 10 が動作しているので、端子 P A から p 型基板 22 に流れ込む電流 I_A は以下の式により表される。

【数1】

$$IA = \left(\sum_{k=1}^{n-1} hFE^{-k} \right) Ip$$

この電流はすべて電源E2から端子PAを通じてそれぞれの寄生PNPトランジスタ10に流れ、P型基板22に抜けて、端子PSまで到達する。一方、端子PKへ流れる電流はない。

【0037】

一方、端子PAの電位が端子PKの電位より十分低いときは全てのツェナーダイオード1がオン(ON)となり、リーク電流は発生しない。

【0038】

以上説明したように、ツェナーダイオードに付随する寄生PD11に光L1が照射されると電流が生じ、これが寄生トランジスタ10により増幅されて大きなリーク電流が発生する。このようなリーク電流があることにより、IC全体として消費電流が増大してしまう。また特性の低下や、誤動作が生ずることもあり得る。また、これら問題の程度は光量に左右されるので、光を出力したまは入力する光半導体用回路として使用する場合、光量により回路の安定性が左右され、使いづらいという問題が生ずる。

【0039】

このような問題は、光が照射される環境下において、ツェナーダイオードなどの複数の整流素子を直列に接続する回路を用いる場合に顕著となる特有の現象である。すなわち、複数の整流素子が直列に接続されているため、それぞれに付随する寄生トランジスタがダーリントン接続され、光によるリーク電流が累積的に増幅される。その結果として、大きなリーク電流が流れてしまう。

【0040】

本発明者は、ツェナーダイオード1の部分に光が直接的に当たらないように、厚みが1マイクロメータ程度のアルミニウム層などを被覆してみた。しかし、リーク電流は低減したものの、解消することは困難であった。これは、アルミニウ

ムなどの被覆層を透過したり、または周囲から回り込んだ光によりリーク電流が発生するためであると考えられる。図16乃至図19に例示したような光半導体用回路は、光源の近くなど、光強度が高い環境下で用いられることが多いため、遮光層によってリーク電流を完全に解消することは困難な場合が多いと考えられる。

【0041】

本発明者は、以上詳述した知見に基づき、本発明をなすに至った。

【0042】

以下、図面を参照しつつ本発明の実施の形態について説明する。

【0043】

図1は、本発明の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。すなわち、この回路は図16に表したものと同様に複数のツエナーダイオード1を直列に接続した回路である。

【0044】

また、図2は、図1の回路について、ツエナーダイオード1に付随する寄生トランジスタ及び寄生ダイオードも表した模式図である。

【0045】

これらの図面に表したように、本実施形態においては、ツエナーダイオード1の直列回路のアノード端子側にダイオード12を挿入する。つまり、ダイオード12は、電源E2からツエナーダイオード1に流入するリーク電流の経路に沿った見たとき、ツエナーダイオード1の上流側に挿入されている。

【0046】

また、ダイオード12は、そのカソード30がPA端子側に向けて挿入されている。つまり、ツエナーダイオード1がブレークダウンしてオン状態となる時に流れる電流の方向に対して、ダイオード12は順方向となる。

【0047】

このようなダイオード12を設けることにより、ツエナーダイオードの直列回路に光L1が照射された場合でも、アノード端子に流れ込むリーク電流を遮断することができる。この場合、ダイオード12は、ツエナーダイオード1の上流側

に設けられているので、ツェナーダイオード1に流入するリーク電流を確実に遮断することができる。

【0048】

なお、本実施形態においては、ダイオード12の耐圧は電源E2の電圧以上であることが望ましい。もしダイオード12の耐圧が電源E2の電圧よりも低い電圧E3であるとすると、(E2-E3)がn個のツェナーダイオードの直列回路に印加されることになり、結局はオフ(Off)状態の寄生PNPトランジスタが1つから2つ、3つと増えるだけでリーク電流はゼロにはならない。

【0049】

本実施形態の回路においては、ツェナーダイオードの数をn、ツェナーダイオード1のブレークダウン電圧をVz、寄生トランジスタのベース・エミッタ間電圧をVBEとすると、次式の条件においてツェナーダイオード1がブレークダウンして逆方向電流が流れる。

$$(E_1 - E_2) > (n V_z + V_{BE})$$

この時に流れる電流方向は挿入したダイオード12の順方向なので、ツェナーダイオード1のn段直列回路のクランプの機能は阻害されない。

【0050】

以下、本発明の他の実施形態について説明する。なお、これらに関して例示する図面については、前出した図面に表したものと同様の要素については、同一の符号を付して詳細な説明は省略する。

【0051】

図3は、本発明の第2の実施形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

【0052】

本実施形態においては、リーク電流の遮断のために、CB(コレクタ・ベース)ショートのNPNトランジスタ13が挿入されている。トランジスタのコレクタとベースとをショートすることにより、ダイオードと同等の作用を有する。C

Bショートダイオード13は、動作時にリークがなく、寄生直列抵抗も低いため、良い特性を有する。このようなNPNトランジスタは、ツエナーダイオード1と共に通のプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

【0053】

図4は、本発明の第3の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

【0054】

本実施形態においては、リーク電流の遮断のために、EB（エミッタ・ベース）ショートの縦型NPNトランジスタ24が挿入されている。トランジスタのEBショートにより得られるダイオードの場合、高い耐圧が得られる点で有利である。また、このNPNトランジスタも、ツエナーダイオード1と共に通のプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

【0055】

なお、本実施形態においては、トランジスタ24において微少のリーク電流が発生する場合があるが問題とはならない。

【0056】

図5（a）は、EBショートの縦型NPNトランジスタの断面を表す模式図であり、同図（b）はその等価回路を表す模式図である。

【0057】

図18（a）に例示したようなツエナーダイオード1と同様のp型シリコン基板22の上に通常の縦型NPNトランジスタを形成する場合、p型分離層9により素子分離されたn型アイランド7の表面にプレーナ状にp型領域20を形成し、さらにその表面にプレーナ状にn型領域22を形成する。n型領域22がエミッタE、p型領域がベースB、n型アイランド7がコレクタCとして作用する。

【0058】

そして、この構造においては、縦方向に見たときに寄生PNPトランジスタ30が形成される。この寄生トランジスタ30は、NPNトランジスタ24のダイオード動作時に、オンして電流が微量リークする。しかし、このリーク電流はツ

エナーダイオード1のクランプ動作時に発生するものであるので、通常は問題にならない。また、EBショートのNPNトランジスタ24には、寄生PD31も付随するが、このPDからのリーク電流 I_p は寄生トランジスタにより増幅されず、リーク I_p がそのままリーク電流として発生する。もともと、寄生PDの光リーク電流 I_p は数マイクロアンペア程度であるので、増幅されなければ問題にはならない。

【0059】

図6は、本発明の第4の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

【0060】

本実施形態においては、ツェナーダイオード1のリーク電流を遮断するために、CB（コレクタ・ベース）ショートの横型PNPトランジスタ25が挿入されている。一般に、横型PNPトランジスタのコレクタとベースとをショートして得られるダイオードも、高い耐圧を有する点で有利である。また、このようなPNPトランジスタ25も、ツェナーダイオード1と共にプロセスにより同一のシリコン基板上に形成することが容易である点で有利である。

【0061】

なお、本実施形態においても、トランジスタ25において寄生接合による微少リークが生ずるが問題とはならない。

【0062】

図7(a)は、横型PNPトランジスタ25の断面構造を表す模式図であり、同図(b)はその等価回路図である。

【0063】

図18(a)に例示したようなツェナーダイオード1と同様のp型シリコン基板22の上に通常の横型PNPトランジスタ25を形成する場合、p型分離層9により素子分離されたn型アイランド7の表面にプレーナ状にp型コレクタ領域40とp型エミッタ領域41を形成する。この場合、n型アイランド7がn型ベース領域として作用する。

【0064】

この構造の場合、縦方向にやはり寄生PNPトランジスタ50ができる、これがトランジスタ25のダイオード動作の時にオンして微量の電流がリークする。しかし、図7(a)に表したように、このリーク電流37は、p型コレクタ領域40に吸収されやすく、シリコン基板22に流出する電流リーク量は、第3実施形態におけるEBショートのNPNトランジスタ24よりも微量である。このように、寄生接合によるリーク電流が非常に少ない点で有利である。

【0065】

図8は、本発明の第5の実施の形態にかかる光半導体装置に搭載される光半導体用回路の要部を表す模式図である。

【0066】

本実施形態においては、ツエナーダイオード1におけるリーク電流を遮断するために、m個のCBショートのNPNトランジスタ13が直列に挿入されている。複数のNPNトランジスタ13を直列に挿入することにより、耐圧を上げることができる。すなわち、トランジスタ13の個数mの値は、電源E2の電圧をCBショートNPNトランジスタ13の耐圧により割った数を超えるように設定すれば良い。この場合、クランプ動作の時のクランプ電位が、 $(m \times V_{BE})$ (V_{BE} はトランジスタ13のベース・エミッタ間電圧) だけずれるので、それに応じてツエナーダイオードの数nを調整することが望ましい。

【0067】

以上、本発明の第1乃至第5の実施の形態を参考しつつ本発明において用いる光半導体用回路について説明した。これらの光半導体用回路を発光素子や受光素子と組み合わせることにより、本発明の光半導体装置が得られる。

【0068】

図9は、本発明の実施の形態にかかる光半導体装置の要部構成を例示する模式図である。

【0069】

まず、同図(a)に表した光半導体装置100は、受光素子120Aを内蔵した光半導体用回路110を有する。すなわち、光半導体用回路110と受光素子120Aとは、同一の半導体基板上にモノリシックに形成されている。具体的に

は、例えば、ひとつのシリコンチップの上に、p-n接合を有するフォトダイオード120Aと、これに接続された光半導体用回路110と、がモノリシックに形成された「受光IC」などを挙げることができる。

【0070】

一方、同図(b)に表した光半導体装置100は、受光素子120Bと、これと別体に設けられた光半導体用回路110と、これらを接続する配線WLと、を有する。つまり、この光半導体装置の場合、受光素子120Bのチップと、光半導体用回路110のチップとが別々に形成され、配線WLにより接続されている。但し、この場合でも、光半導体用回路110と受光素子120Bとは同一のパッケージ内に収容されている。

【0071】

受光素子120A、120Bとしては、例えば、フォトダイオード、フォトトランジスタ、光導電素子、太陽電池などを用いることができる。このような受光素子120A(または120B)を内蔵した光半導体装置100には、光LOが与えられることにより、所定の動作が実行される。このような光半導体装置としては、例えば、光センサや、光リンク用の受信側デバイスを挙げることができる。

【0072】

そして、これら光半導体装置において、光半導体用回路110は、受光素子120A(120B)に所定のバイアスを供給したり、受信した信号の増幅や信号処理などを実行する。そして、第1乃至第7実施形態に関して前述したように、複数の整流素子の直列回路により、受光素子120A(120B)をESDから保護したり、電圧クランプなどの作用を発揮する。

【0073】

これら光半導体用回路110は、受光素子120A(120B)の近傍に設けられるため、図10(a)及び(b)に表したように、受光素子に向けて入射する光LOの一部L1が、回路110に照射される場合も多い。

【0074】

本発明によれば、第1乃至第5の実施の形態に関して前述したように、このよ

うな光L1が照射しても、リーク電流の増大や誤動作などを防ぐことができる。
すなわち、消費電力の増加を抑制し、動作も安定した光半導体装置を実現できる
。

【0075】

また、図11は、本発明の他の実施の形態にかかる光半導体装置を表す模式図である。

【0076】

同図(a)に表した光半導体装置200は、発光素子130Aを内蔵した光半導体用回路210を有する。すなわち、光半導体用回路210と発光素子130Aとは、同一の半導体基板上にモノリシックに形成されている。具体的には、例えば、シリコンチップの上に、pn接合を有する発光ダイオード130Aと、これに接続された光半導体用回路210と、がモノリシックに形成された発光ICなどを挙げることができる。

【0077】

一方、同図(b)に表した光半導体装置200は、受光素子130Bと、これと別体に設けられた光半導体用回路210と、これらを接続する配線WLと、を有する。

【0078】

発光素子130A、130Bとしては、例えば、発光ダイオード、半導体レーザ、EL (electroluminescence) 素子をはじめとした各種の素子を用いることができる。

そして、これら光半導体装置において、光半導体用回路210は、発光素子130A(130B)を駆動するための電流や電圧を供給したり、発光強度を調節したり、所定の光信号を発信するための信号処理を実行したりする。

【0079】

そして、これら発光素子を内蔵する光半導体装置200においても、図12(a)及び(b)に表したように、発光素子130A(130B)から放出された光の一部L1が、光半導体用回路210に照射される場合が多い。

【0080】

本発明によれば、第1乃至第5の実施の形態に関して前述したように、このような光L1が照射しても、リーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定した光半導体装置を実現できる。

【0081】

図13は、本発明の実施の形態にかかる光半導体装置の具体例を表す断面図である。すなわち、同図は、フォトカプラを表す。本具体例においては、対向する一対のリード端子LT、LTが設けられ、その先端に、それぞれ受光部100と発光部200が設けられている。これら受光部100及び発光部200は、図9乃至図12に例示したように、本発明の実施の形態にかかる光半導体用回路と、受光素子または発光素子を内蔵している。

【0082】

そして、発光部200の周囲は、例えばシリコン樹脂SRによりモールドされ、さらに、その周期が受光部100も含めてエポキシ樹脂ERなどによりモールドされている。

【0083】

このように、受光部100と発光部200とをひとつのパッケージに組込むと、2つの電気回路を光により結合して信号を伝達することができる。光信号を介して信号を伝達するので、電気的な絶縁性が高くや電磁波ノイズなどの影響を受けにくいという利点が得られる。

【0084】

そして、本発明によれば、これら受光部100及び発光部200の少なくともいずれかにおいて第1乃至第5の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定したフォトカプラを実現できる。

【0085】

図14は、本発明の実施の形態にかかる光半導体装置の第2の具体例を表す断面図である。すなわち、同図は、フォトインタラプタを表す。図14(a)に表

した具体例は、いわゆる「透過型」の構造を有し、受光部100と発光部200とが対向して設けられている。そして、発光部200から放出された光LYが受光部100により検知される。これらの間に物体（図示せず）が介在すると、光LYが遮られるために、検出することができる。

【0086】

一方、図14（b）に表した具体例は、いわゆる「反射型」の構造を有し、発受光部100と発光部200とは、対向せず斜め方向に向いている。そして、閲知すべき物体OBが所定の位置に設けられると、発光部200から放出される光LYが物体OBにより反射され受光部100により検知される。

【0087】

本発明によれば、このようなフォトインタラプタにおいても、受光部100及び発光部200の少なくともいずれかに、第1乃至第5の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定したフォトインタラプタを実現できる。

【0088】

図15は、本発明の実施の形態にかかる光半導体装置の第3の具体例を表す断面図である。すなわち、同図は、光リンクデバイスを表す。図15（a）に表した具体例は、「一方向型」のデバイスであり、光ファイバ300の一端に発光部200、他端に受光部100がそれぞれ設けられている。発光部200から受光部100に向けて光ファイバ300を介して光信号を送信することができる。

【0089】

一方、図15（b）に表した具体例の場合、光ファイバ300の両端に、受光部100と発光部200とがそれぞれ設けられている。すなわち、このデバイスの場合、双方向の光伝送が可能である。

【0090】

これら受光部100及び発光部200は、図9乃至図12に例示したように、本発明の実施の形態にかかる光半導体用回路と、受光素子または発光素子を内蔵している。

【0091】

そして、本発明によれば、これら受光部100及び発光部200の少なくともいずれかにおいて第1乃至第5の実施の形態に関して前述したような光半導体用回路を設けることにより、光の照射に伴うリーク電流の増大や誤動作などを防ぐことができる。すなわち、消費電力の増加を抑制し、動作も安定した光リンクデバイスを実現できる。

【0092】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。

【0093】

例えば、図1乃至図8においては、複数のツェナーダイオード1を直列に接続した回路を例示したが、本発明はこれに限定されない。すなわち、ツェナーダイオード1の代わりに、整流性を有する素子であって、光の照射の伴いリーク電流を発生させる寄生成分を有するものを用いた回路においても、本発明を同様に適用して同様の作用効果が得られる。

【0094】

また、本発明の光半導体装置についても、具体例として例示したものには限定されず、その他、光が照射される環境下で用いられる回路を有するものであれば、本発明を同様に適用して同様の作用効果を得ることができる。

【0095】

その他、上述した光半導体用回路及び光半導体装置の構造、およびこれを構成する各要素の具体的な構成については、当業者が公知の範囲から適宜選択したもの、本発明の要旨を含む限り本発明の範囲に包含される。

【0096】

【発明の効果】

以上詳述したように、本発明によれば、光が照射される環境において用いてもリーク電流の増大や誤動作などを解消できる光半導体用回路及びこれを用いた各種の光半導体装置を提供でき、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】

本発明の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図2】

図1の回路について、ツェナーダイオード1に付随する寄生トランジスタ及び寄生ダイオードも表した模式図である。

【図3】

本発明の第2の実施形態にかかる光半導体用回路の要部を表す模式図である。

【図4】

発明の第3の実施の形態にかかる光半導体用回路の要部を表す模式図である。

【図5】

(a) は、E B ショートの縦型N P Nトランジスタの断面を表す模式図であり、(b) はその等価回路を表す模式図である。

【図6】

本発明の第4の実施の形態にかかる光半導体用回路の要部を表す模式図である

【図7】

(a) 横型P N Pトランジスタ25の断面構造を表す模式図であり、(b) はその等価回路図である。

【図8】

本発明の第5の実施の形態にかかる光半導体用回路の要部を表す模式図である

【図9】

本発明の実施の形態にかかる光半導体装置の要部構成を例示する模式図である

【図10】

受光素子に向けて入射する光L0の一部L1が、回路110に照射されることを表す模式図である。

【図11】

本発明の他の実施の形態にかかる光半導体装置を表す模式図である。

【図12】

発光素子130A(130B)から放出された光の一部L1が、光半導体用回路210に照射されることを表す模式図である。

【図13】

本発明の実施の形態にかかる光半導体装置の具体例を表す断面図である。

【図14】

本発明の実施の形態にかかる光半導体装置の第2の具体例を表す断面図である

【図15】

本発明の実施の形態にかかる光半導体装置の第3の具体例を表す断面図である

【図16】

複数の整流素子を直列接続した回路を表す模式図である。

【図17】

n個のツェナーダイオード1を使用した直列クランプ回路の具体例を表す模式図である。

【図18】

(a)は、ツェナーダイオード1の断面構造を表す模式図であり、(b)は、その等価回路図である。図19は、図16に表した回路に寄生素子を追加した模式図である。

【図19】

図16に表した回路に寄生素子を追加した模式図である。

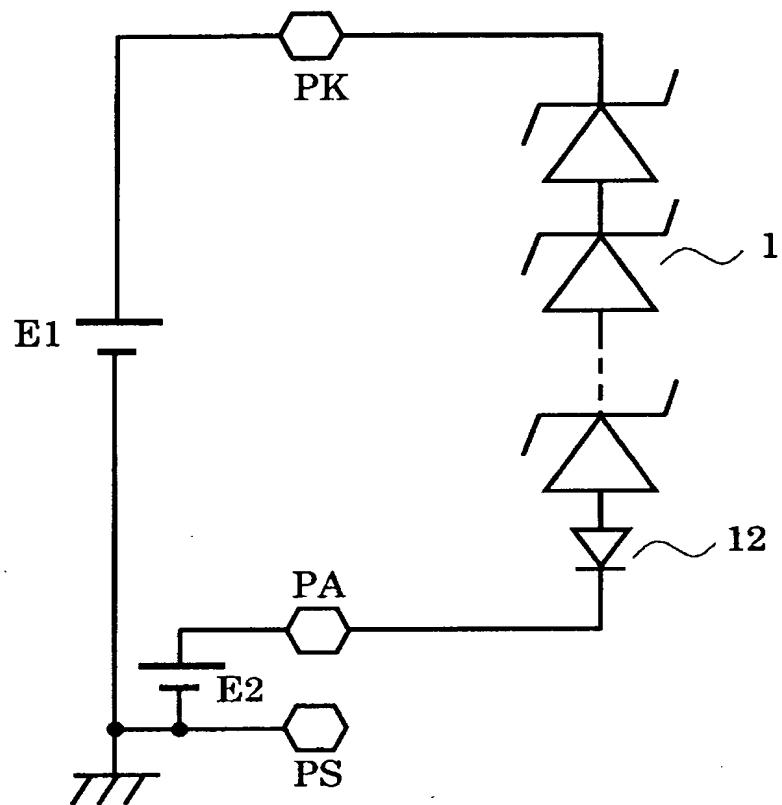
【符号の説明】

- 1 ツェナーダイオード
- 7 n型アイランド
- 8 p型拡散層
- 9 p型分離層
- 10 寄生トランジスタ
- 11 寄生ダイオード

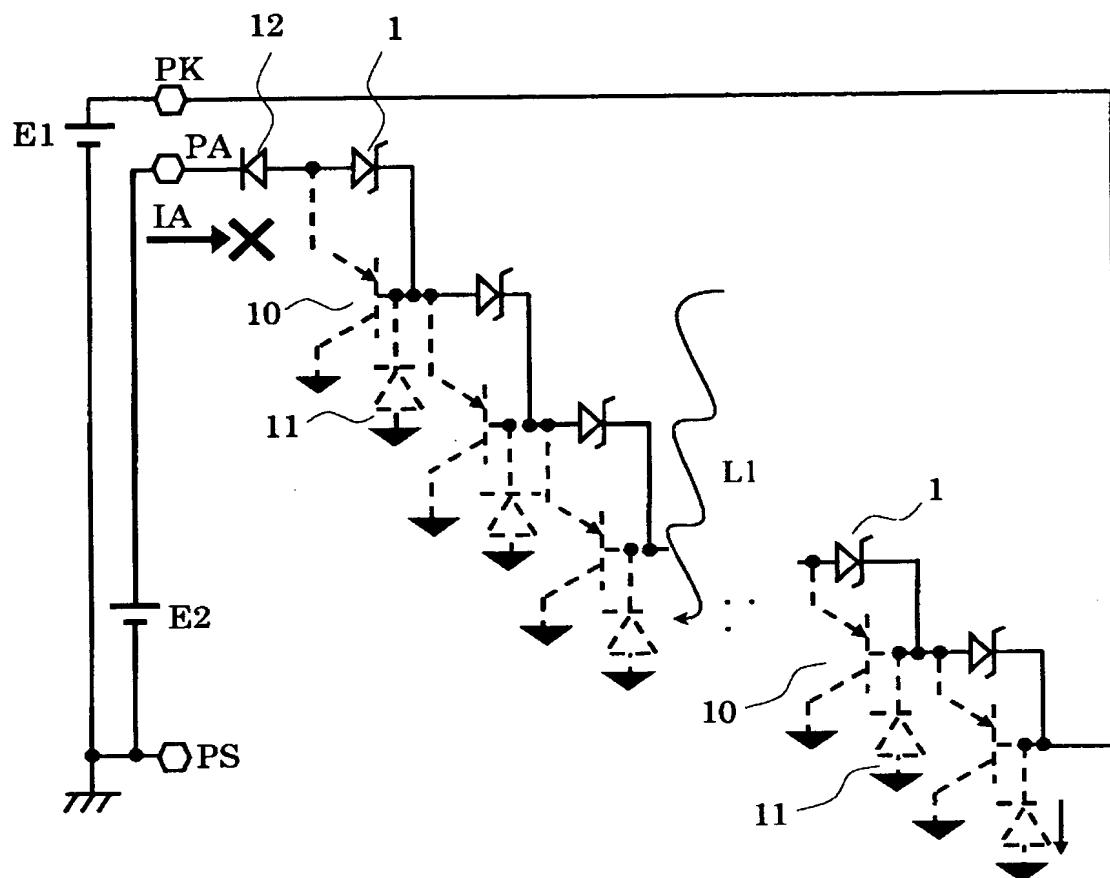
1 2 ダイオード
 1 3 トランジスタ
 2 0 p型領域
 2 2 p型シリコン基板
 2 4、2 5 トランジスタ
 3 0 寄生トランジスタ
 3 7 リーク電流
 5 0 トランジスタ
 1 0 0 光半導体装置（受光部）
 1 1 0 光半導体用回路
 1 2 0 A、1 2 0 B 受光素子
 1 3 0 A、1 3 0 B 発光素子
 2 0 0 光半導体装置（発光部）
 2 1 0 光半導体用回路
 3 0 0 光ファイバ
 B ベース
 C コレクタ
 E エミッタ
 E R エポキシ樹脂
 I A リーク電流
 I p 光リーク電流
 L 0、L 1 光
 L T リード端子
 L Y 光
 O B 物体
 P A 端子
 P K 端子
 P S 端子

【書類名】 図面

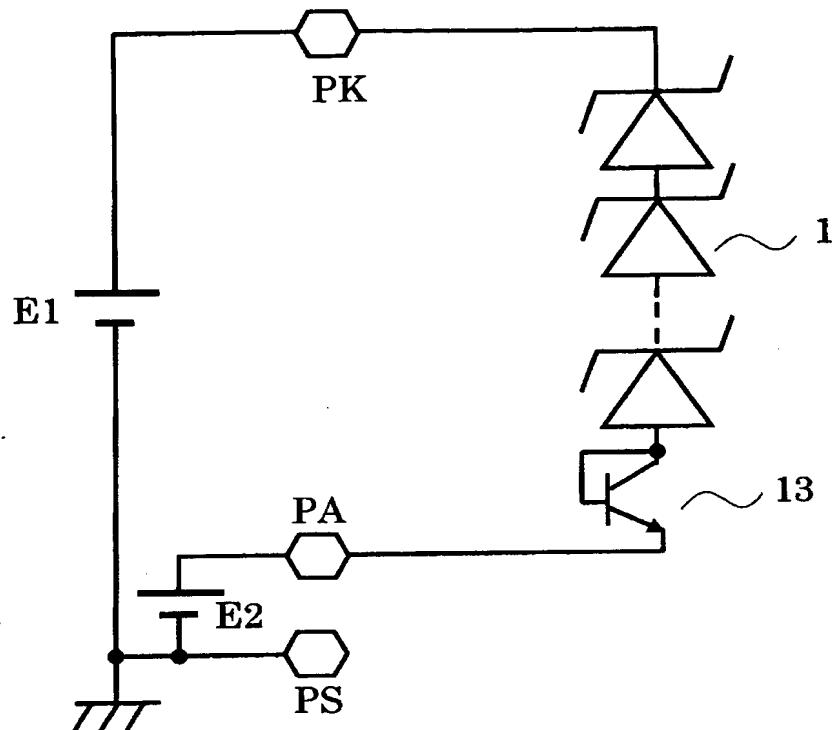
【図1】



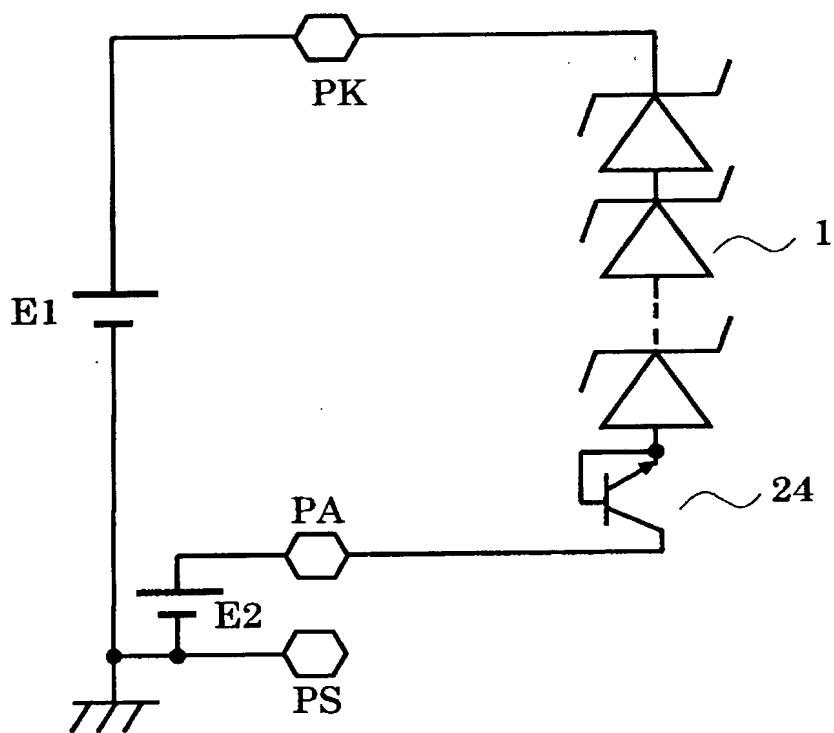
【図2】



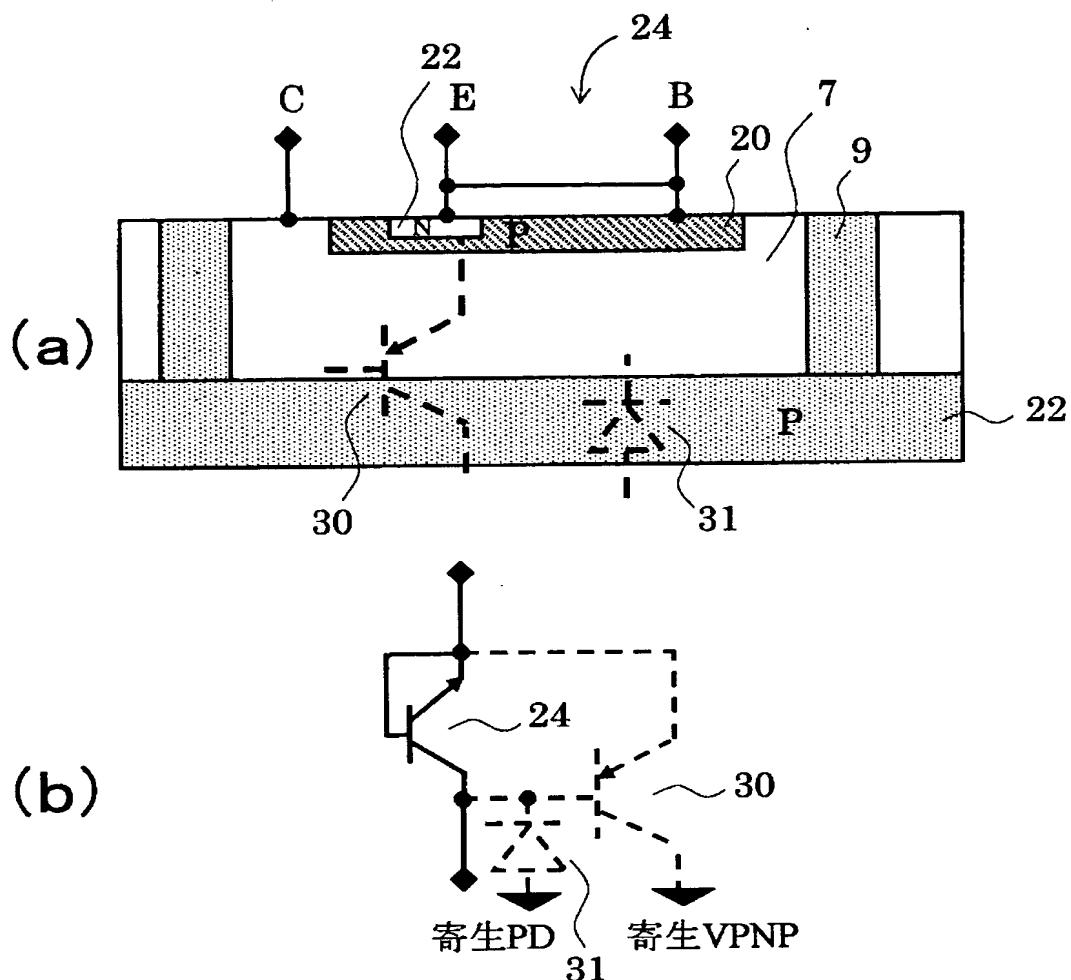
【図3】



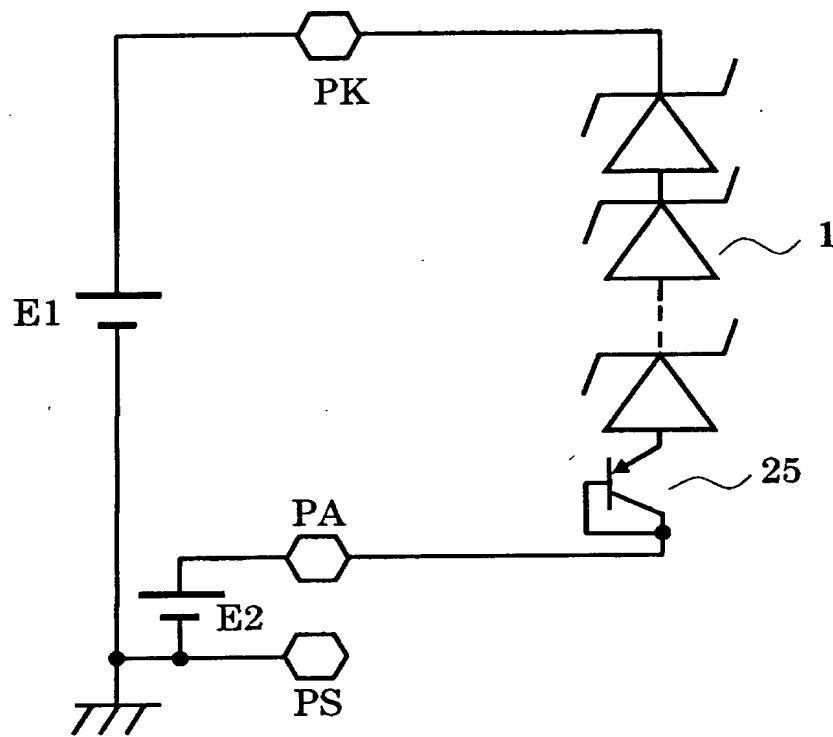
〔図4〕



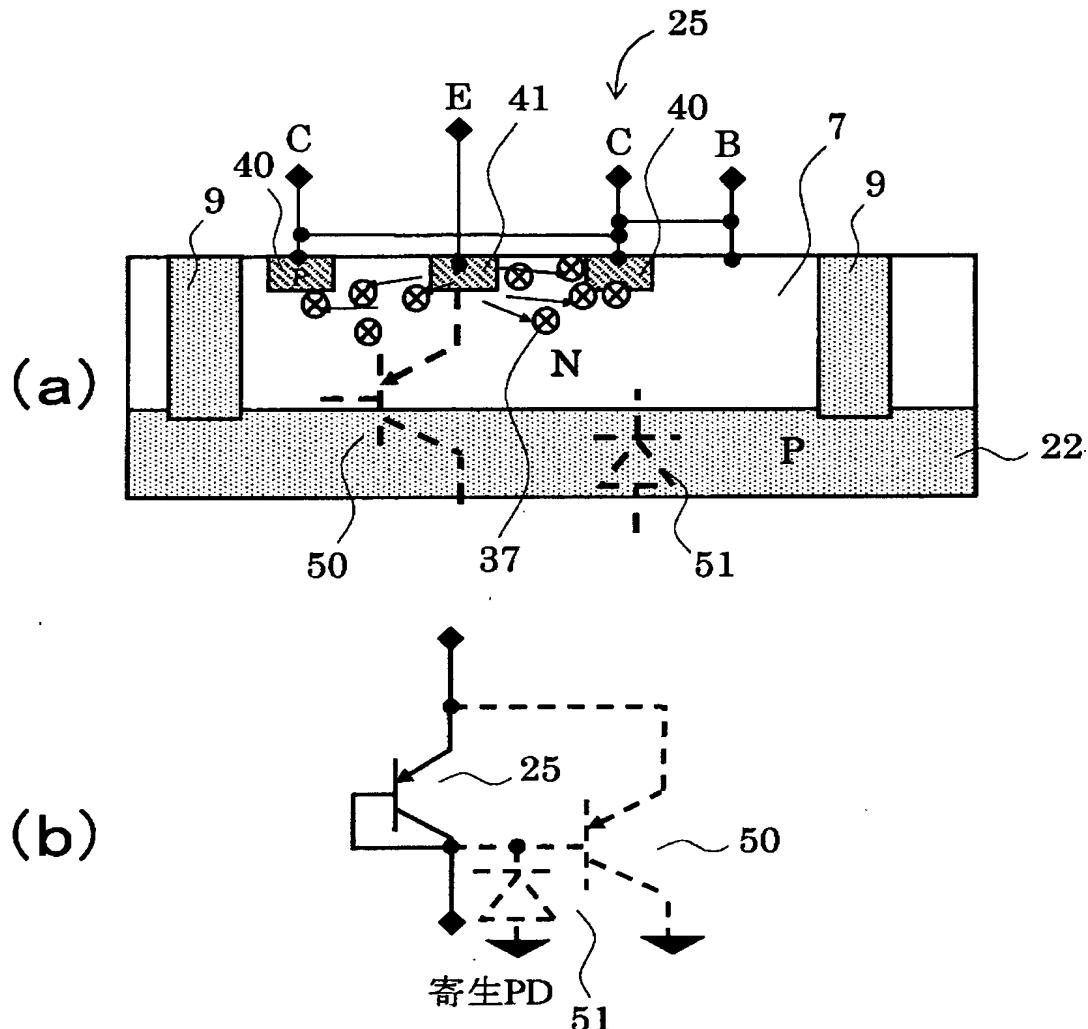
【図5】



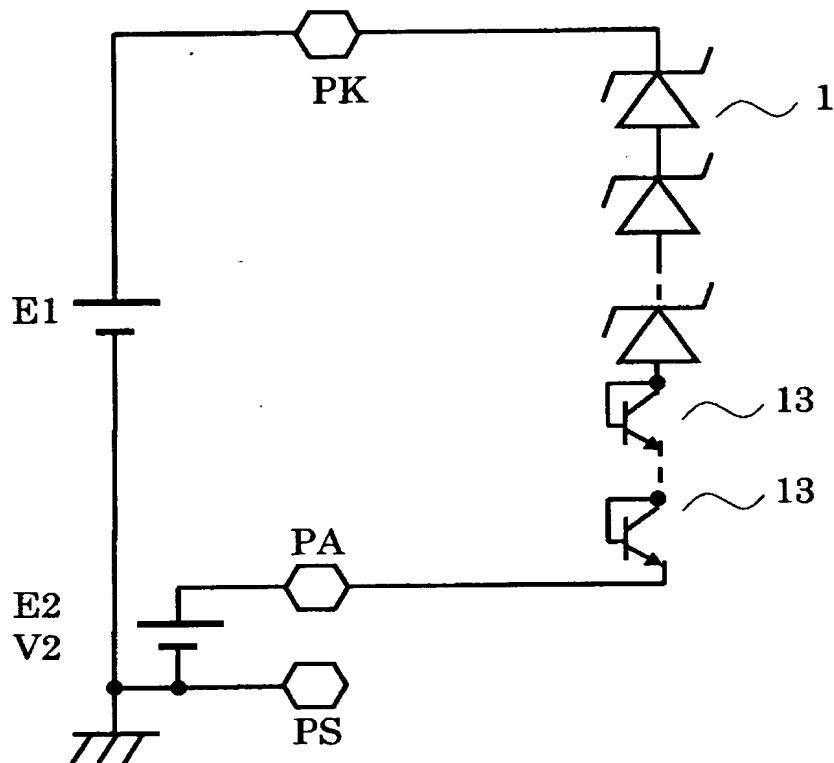
【図6】



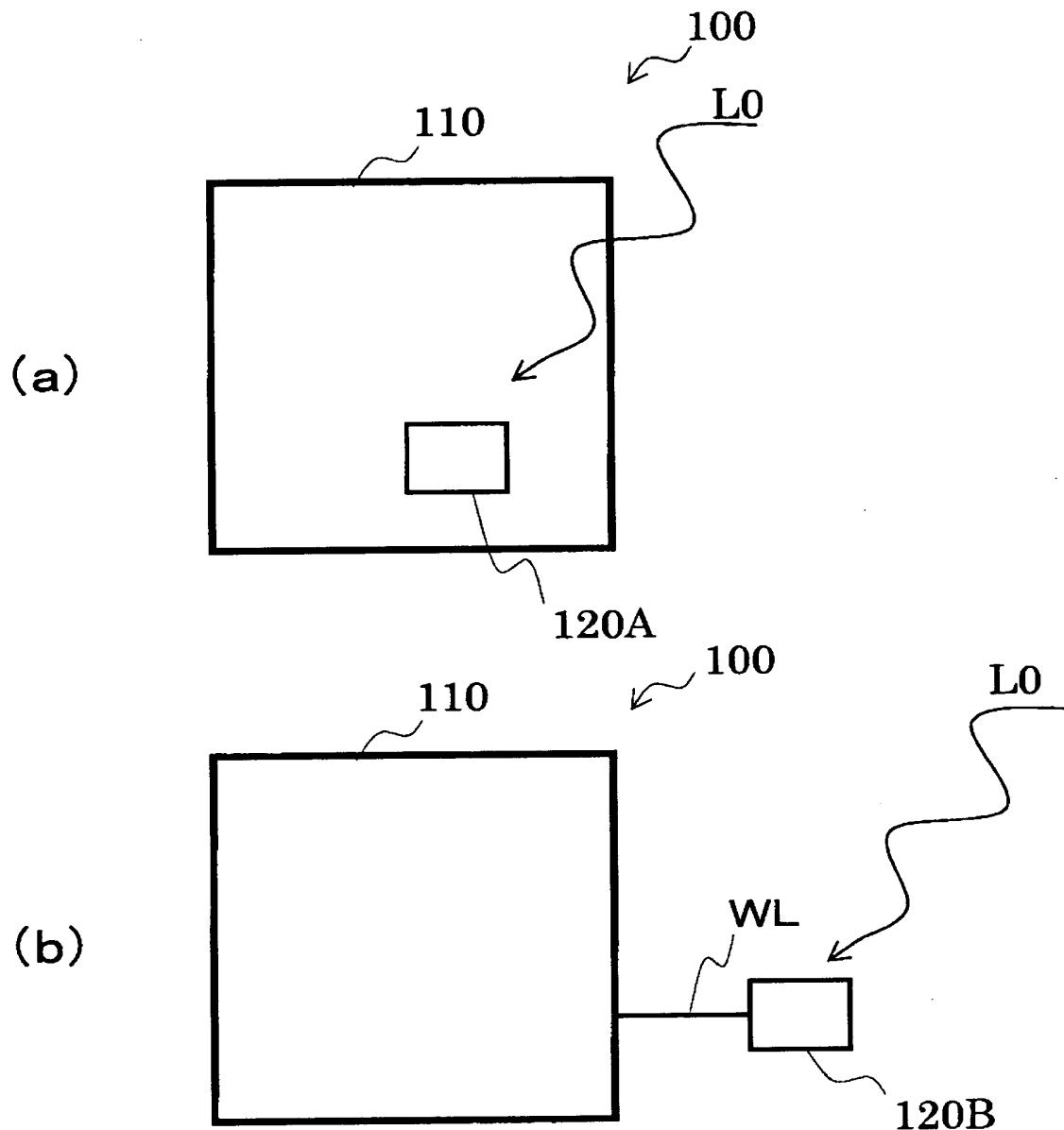
【図7】



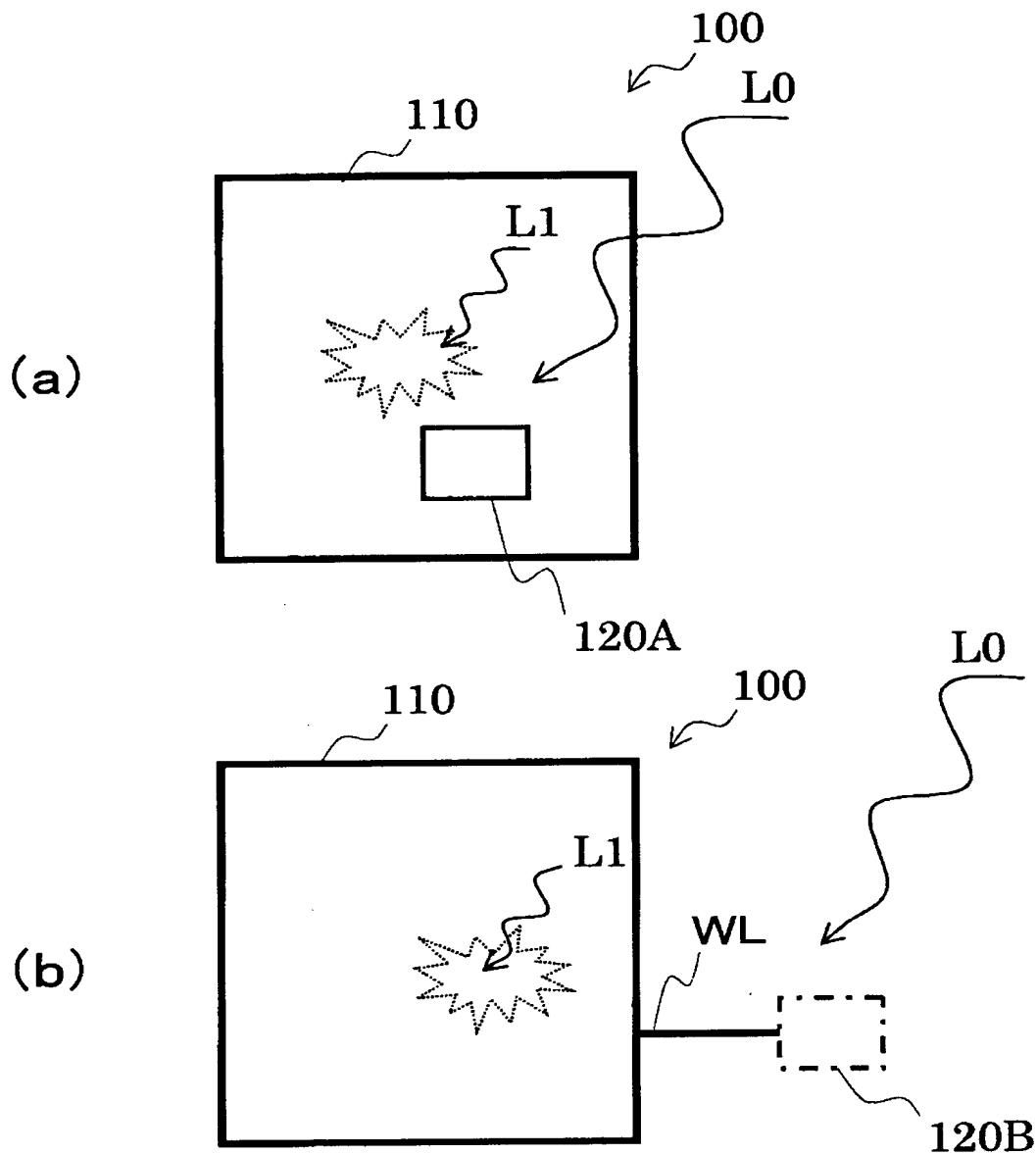
【図8】



【図9】

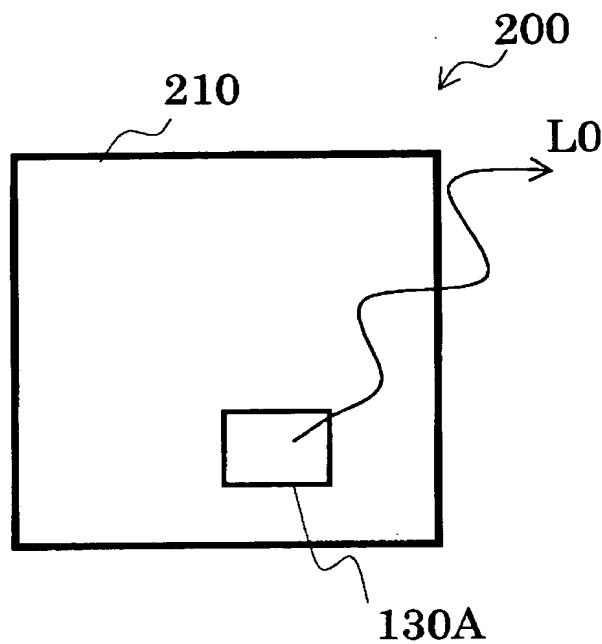


【図10】

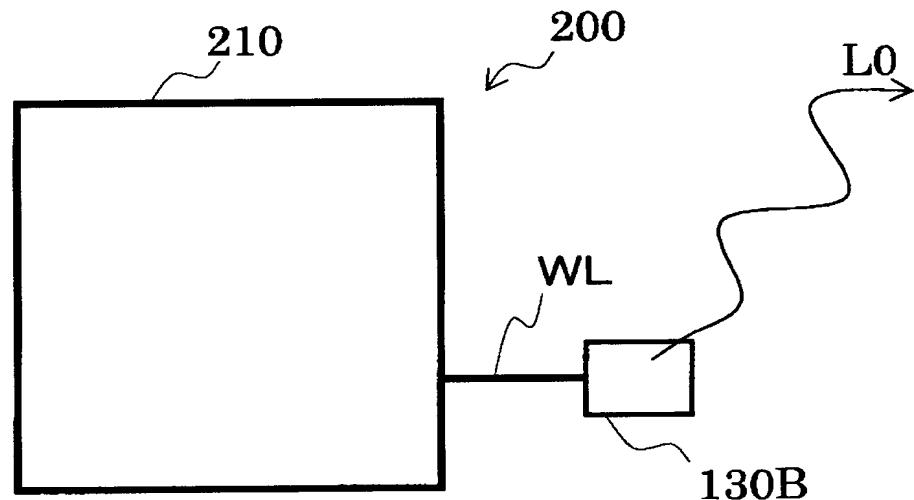


【図11】

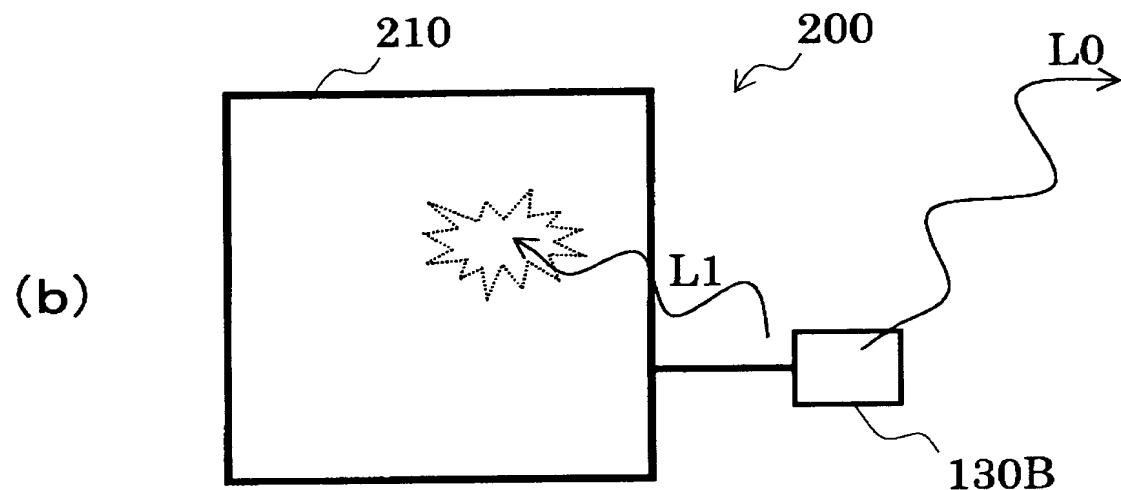
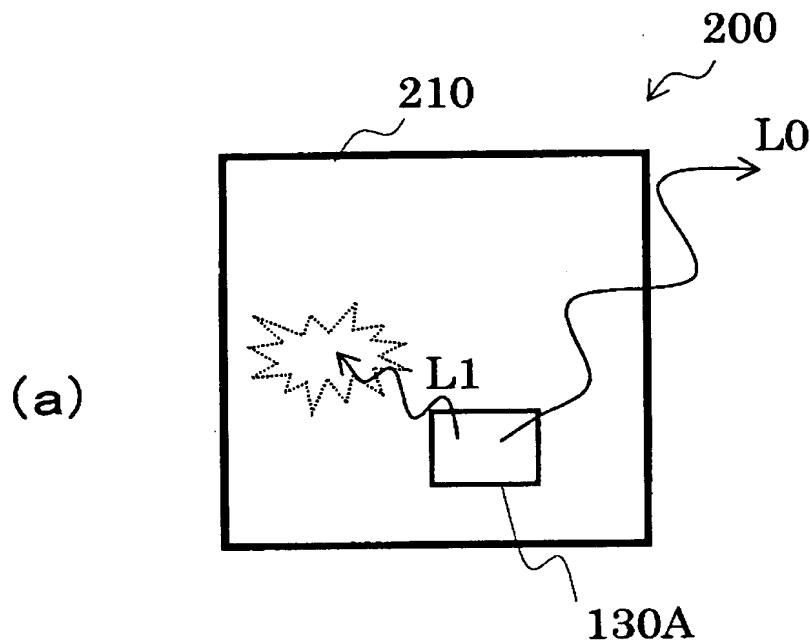
(a)



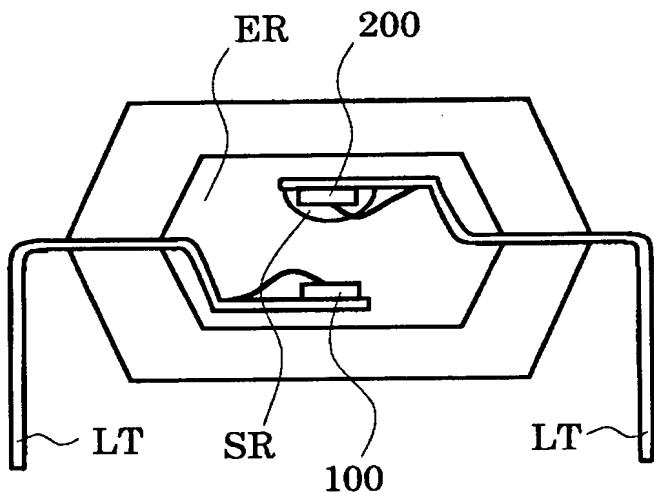
(b)



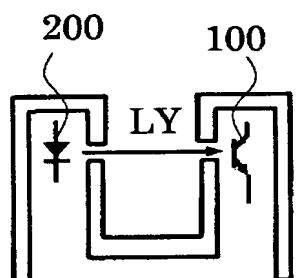
【図12】



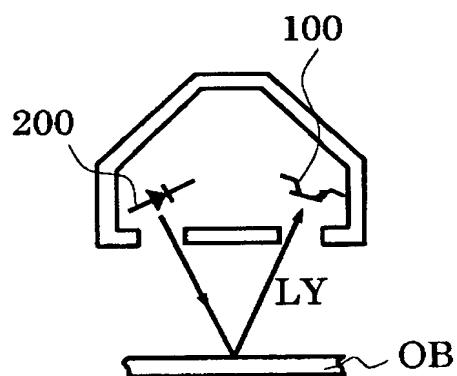
【図13】



【図14】

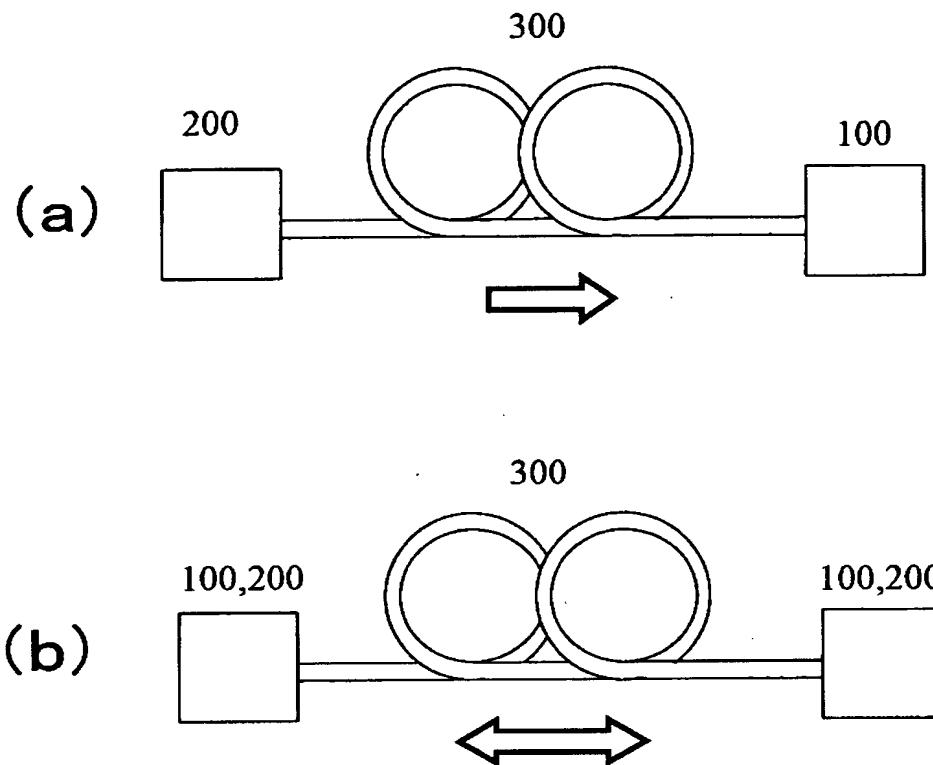


(a)透過型

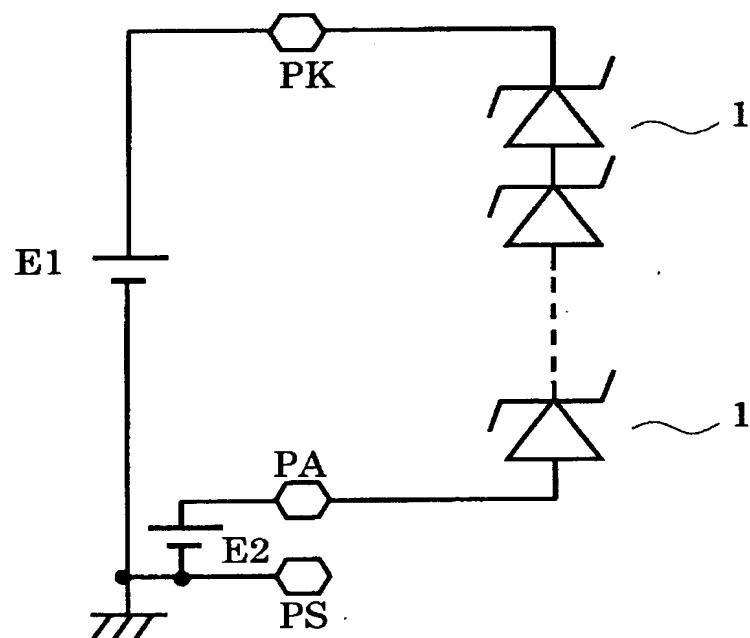


(b)反射型

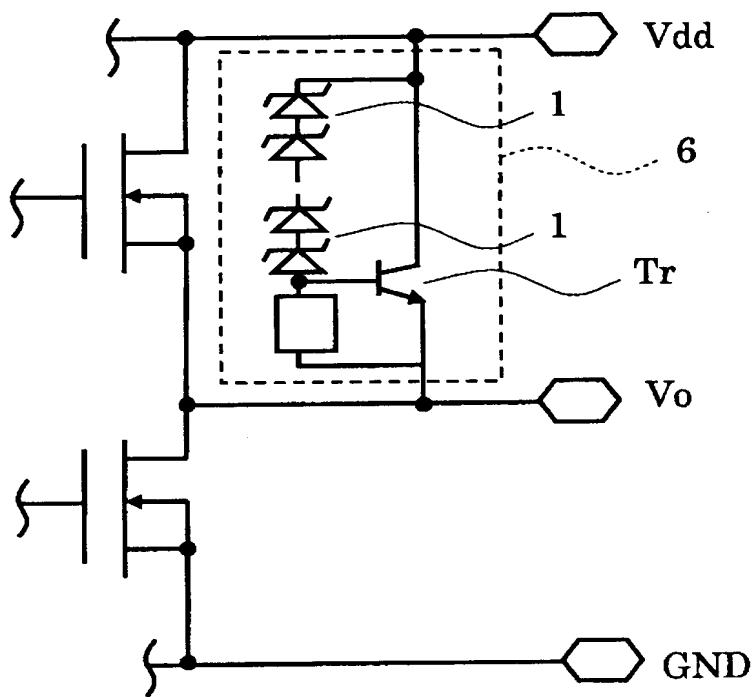
【図15】



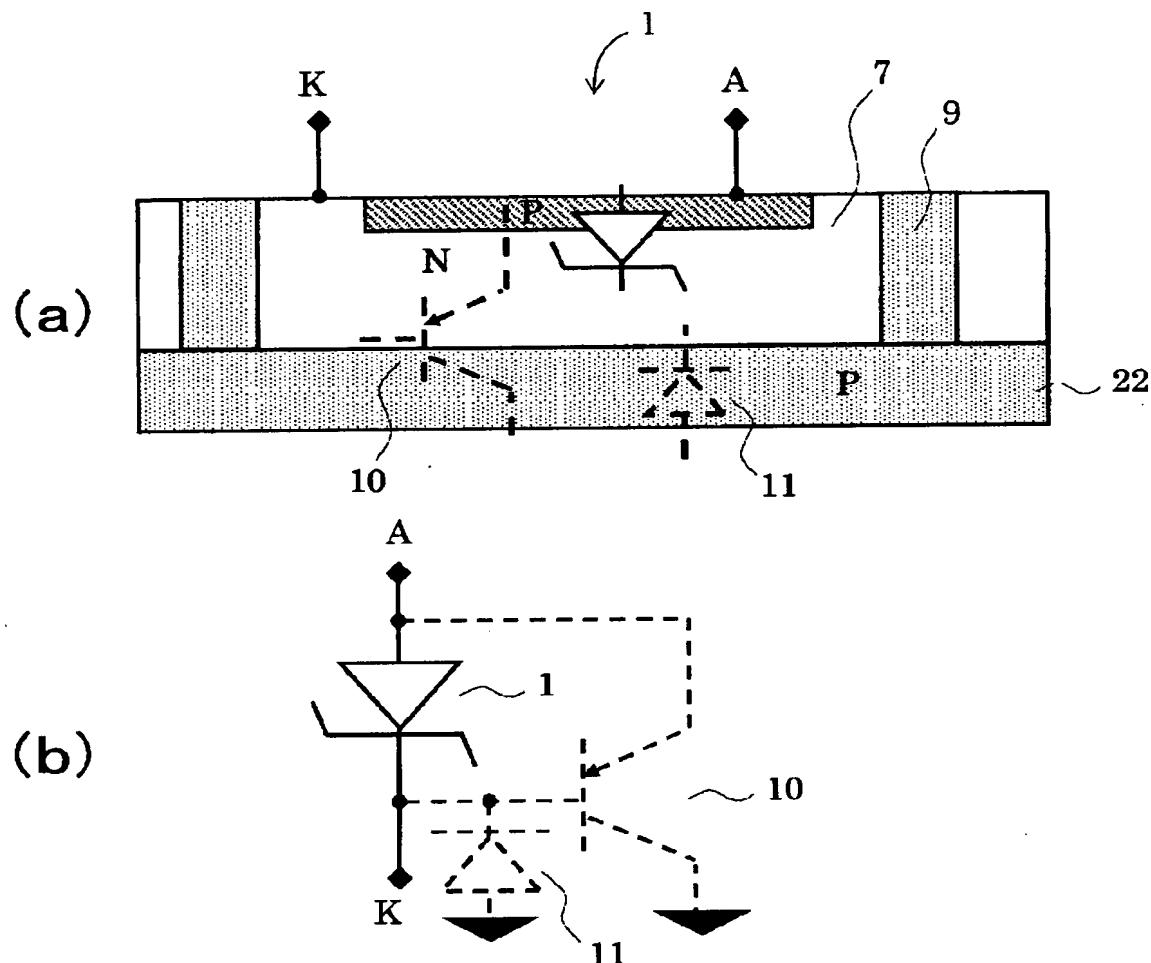
【図16】



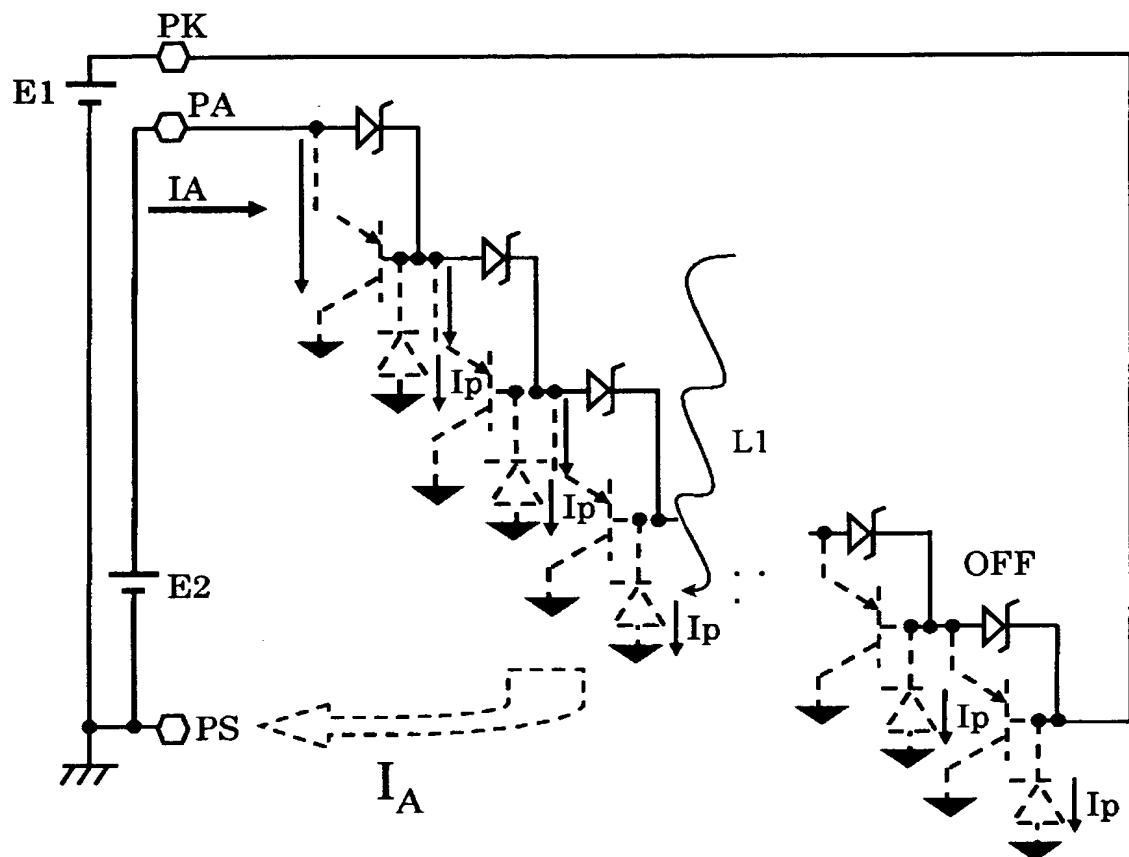
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 光の照射に起因する誤動作や消費電力の増大を解消できる光半導体用回路及びこの回路を搭載した光半導体装置を提供することを目的とする。

【解決手段】 光半導体素子（120A、120B、130A、130B）と、複数のツェナーダイオード（1）を直列に接続した直列整流回路と、前記直列整流回路のアノード端にアノードが接続された整流素子（12）と、を有し、前記光半導体素子に接続された光半導体用回路（110、210）と、を備えたことを特徴とする光半導体装置（100、200）を提供する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝